대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2002-0061718
Application Number

출 원 년 월 일 : 2002년 10월 10일
Date of Application OCT 10, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 06 월 18 일

특 허 청
COMMISSIONER

【서지사항】

【서류명】 서지사항 보정서
【수신처】 특허청장
【제출일자】 2003.05.26
【제출인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【사건과의 관계】 출원인
【대리인】
【성명】 임창현
【대리인코드】 9-1998-000386-5
【포괄위임등록번호】 1999-007368-2
【대리인】
【성명】 권혁수
【대리인코드】 9-1999-000370-4
【포괄위임등록번호】 1999-056971-6
【사건의 표시】
【출원번호】 10-2002-0061718
【출원일자】 2002.10.10
【심사청구일자】 2002.10.10
【발명의 명칭】 식별 표시를 갖는 반도체 웨이퍼
【제출원인】
【접수번호】 1-1-2002-0332622-93
【접수일자】 2002.10.10
【보정할 서류】 특허출원서
【보정할 사항】
【보정대상항목】 발명자
【보정방법】 정정
【보정내용】
【발명자】
【성명의 국문표기】 최삼종
【성명의 영문표기】 CHOI,SAM JONG
【주민등록번호】 730315-1892228

【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 벽적골 주공아파트 905동 802 호
【국적】 KR
【발명자】
【성명의 국문표기】 김기정
【성명의 영문표기】 KIM,GI JUNG
【주민등록번호】 710924-1121326
【우편번호】 449-907
【주소】 경기도 용인시 기흥읍 신갈리 426-5 영남빌라 302호
【국적】 KR
【발명자】
【성명의 국문표기】 조규철
【성명의 영문표기】 CHO,KYOO CHUL
【주민등록번호】 610712-1470720
【우편번호】 449-840
【주소】 경기도 용인시 수지읍 수지2지구5-2블럭 진흥아파트 623-140 4
【국적】 KR
【발명자】
【성명의 국문표기】 김연숙
【성명의 영문표기】 KIM,YEON SOOK
【주민등록번호】 770415-2772511
【우편번호】 449-160
【주소】 경기도 용인시 죽전동 867-6
【국적】 KR
【발명자】
【성명의 국문표기】 한신혁
【성명의 영문표기】 HAN,SHIN HYEOK
【주민등록번호】 710612-1140215
【우편번호】 135-271

【주소】 서울특별시 강남구 도곡1동 동신아파트 바동 906호

【국적】 KR

【발명자】

【성명의 국문표기】 정회식

【성명의 영문표기】 CHUNG,HOE SIK

【주민등록번호】 630323-1037812

【우편번호】 449-846

【주소】 경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차@ 522-1102

【국적】 KR

【취지】 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【보정료】 0 원

【기타 수수료】 원

【합계】 0 원

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.10.10
【발명의 명칭】	식별 표시를 갖는 반도체 웨이퍼
【발명의 영문명칭】	Semiconductor Wafer Having Identification Indication
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	최삼종
【성명의 영문표기】	CHOI,SAM JONG
【주민등록번호】	730315-1892228
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골 주공아파트 905동 802호
【국적】	KR
【발명자】	
【성명의 국문표기】	조규철
【성명의 영문표기】	CHO,KYOO CHUL
【주민등록번호】	610712-1470720
【우편번호】	449-840

【주소】 경기도 용인시 수지읍 수지2지구5-2블럭 진흥아파트 623-1404

【국적】 KR

【발명자】

【성명의 국문표기】 김연숙

【성명의 영문표기】 KIM,YEON SUK

【주민등록번호】 770415-2772511

【우편번호】 702-022

【주소】 대구광역시 북구 복현2동 41-7번지

【국적】 KR

【발명자】

【성명의 국문표기】 한신혁

【성명의 영문표기】 HAN,SHIN HYOUK

【주민등록번호】 710612-1140215

【우편번호】 135-271

【주소】 서울특별시 강남구 도곡1동 동신아파트 바동 906호

【국적】 KR

【발명자】

【성명의 국문표기】 김기정

【성명의 영문표기】 KIM,GI JUNG

【주민등록번호】 710924-1121326

【우편번호】 449-907

【주소】 경기도 용인시 기흥읍 신갈리 426-5 영남빌라302호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】 16 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】	0 건	0	원
【심사청구료】	7 항	333,000	원
【합계】	362,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】

【요약】

식별 표시를 갖는 반도체 웨이퍼를 제공한다. 이 반도체 웨이퍼는 웨이퍼 식별 표시가 기록되는 마킹 영역을 구비하고, 그 측면은 상부 측면 및 하부 측면으로 구분된다. 이때, 하부 측면에는 상부 측면보다 넓은 폭을 갖는 넓은 영역이 배치되고, 상기 마킹 영역은 상기 넓은 영역에 배치되는 것을 특징으로 한다. 이를 위해, 반도체 웨이퍼의 단면은 비대칭적 모양, 즉 넓은 영역은 상부 측면보다 폭은 넓고 두께는 두껍다.

【대표도】

도 6

【명세서】

【발명의 명칭】

식별 표시를 갖는 반도체 웨이퍼{Semiconductor Wafer Having Identification Indication}

【도면의 간단한 설명】

도 1은 종래 기술에 따라 제조된 식별 표시를 갖는 반도체 웨이퍼를 나타내는 평면도이다.

도 2는 종래 기술에 따른 식별 표시를 나타내는 사시도이다.

도 3은 도 2의 식별 표시를 I-I'을 따라 보여지는 수직단면도이다.

도 4는 본 발명의 바람직한 실시예에 따른 반도체 웨이퍼의 앞면을 나타내는 도면이다.

도 5a는 본 발명의 바람직한 일 실시예에 따른 반도체 웨이퍼의 뒷면을 나타내는 도면이다.

도 5b는 본 발명의 바람직한 다른 실시예에 따른 반도체 웨이퍼의 뒷면을 나타내는 도면이다.

도 6은 본 발명의 바람직한 일 실시예에 따른 반도체 웨이퍼의 측면을 나타내는 사시도이다.

도 7은 일반적인 반도체 웨이퍼의 측면을 나타내는 사시도이다.

도 8은 본 발명의 바람직한 또다른 실시예에 따른 반도체 웨이퍼의 측면을 나타내는 사시도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체 장치에 관한 것으로서, 특히 식별 표시를 갖는 반도체 웨이퍼에 관한 것이다.

<11> 반도체 장치를 제조하기 위해 실시되는 다양한 공정들을 체계적으로 분석하기 위해서는, 각각의 반도체 웨이퍼(semiconductor wafer)를 식별할 수 있는 방법이 제공되어야 한다. 이를 위해, 통상적으로, 각각의 반도체 웨이퍼에는 문자, 숫자 또는 바코드 등과 같은 식별 표시(identification indication)가 표시된다. 상기 식별 표시는 각각의 반도체 웨이퍼에 적용된 공정 조건과 그에 따른 결과를 인과적으로 분석할 수 있는 방법을 제공한다. 이러한 분석은 반도체 제품의 불량 분석(failure analysis) 및 공정 피드백(process feedback)을 가능하게 하여, 반도체 제품의 개발 기간을 단축하고 동일한 오류(error)를 반복하지 않도록 한다.

<12> 일반적으로, 상기 식별 표시는 상기 반도체 웨이퍼 상에 반도체 회로를 형성하기 전에, 레이저 빔을 사용하여 상기 반도체 웨이퍼의 상부면에 각인된다.

<13> 도 1은 종래 기술에 따라 제조된 식별 표시를 갖는 반도체 웨이퍼를 나타내는 평면도이다. 도 2는 도 1에 도시된 마킹 영역을 나타내는 사시도이고, 도 3은 도 2에 도시된 레이저 마킹에 의해 형성된 점들을 I-I'을 따라 보여주는 수직 단면도이다.

<14> 도 1, 도 2 및 도 3을 참조하면, 반도체 웨이퍼(10)의 상부면 가장자리(15)에는 식별 표시가 표시되는 마킹 영역(20)이 배치된다. 이에 따라, 상기 마킹 영역(20)의 면적

만큼, 반도체 제품이 형성될 칩 영역(25)의 면적은 감소한다. 상기 칩 영역(25)의 면적이 감소할 경우, 반도체 제품의 제조 단가가 상승하는 단점이 있다.

<15> 또한, 상기 식별 표시는 통상적으로 레이저 빔을 사용하여 형성한 점들(dots, 30)로 이루어진다. 이러한 점들(30)은 도 3에 도시한 것처럼 평탄하지 않은 모양을 갖기 때문에, 후속 반도체 회로 형성을 위한 제조 공정에서 파티클 발생의 원인이 된다. 이에 더하여, 상기 점들(30)의 평탄하지 않은 모양은 상기 반도체 웨이퍼(10)를 고정하는 과정에서 척(chuck) 불량을 유발할 수도 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 반도체 웨이퍼의 면적을 효과적으로 이용할 수 있는 반도체 웨이퍼를 제공하는 데 있다.

<17> 본 발명이 이루고자 하는 다른 기술적 과제는 식별 표시의 불균일한 모양에 의한 파티클 불량을 최소화할 수 있는 반도체 웨이퍼를 제공하는 데 있다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제를 달성하기 위하여, 본 발명은 하부 측면이 상부 측면보다 넓은 비대칭적인 단면을 갖는 반도체 웨이퍼를 제공한다. 이 반도체 웨이퍼는 웨이퍼 식별 표시가 기록되는 마킹 영역을 구비하고, 그 측면은 상부 측면 및 하부 측면으로 구분된다. 이때, 상기 하부 측면에는 상기 상부 측면보다 넓은 폭을 갖는 넓은 영역이 배치되고, 상기 마킹 영역은 상기 넓은 영역에 배치되는 것을 특징으로 한다.

<19> 상기 반도체 웨이퍼의 단면은 비대칭적 모양이다. 즉, 상기 넓은 영역은 상기 상부 측면보다 폭은 넓고, 두께는 두꺼운 것이 바람직하다. 한편, 상기 넓은 영역은 상기 반도체 웨이퍼의 원주 전체에 형성될 수도 있다.

<20> 상기 웨이퍼 식별 표시는 레이저 빔을 사용하여 형성된 점들로 이루어지는 것이 바람직한데, 바코드 등과 같이 정보를 포함하는 무늬로 이루어질 수도 있다.

<21> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다.

<22> 도 4는 본 발명의 바람직한 실시예에 따른 반도체 웨이퍼의 앞면을 나타내는 도면이다. 도 5a는 본 발명의 바람직한 일 실시예에 따른 반도체 웨이퍼의 뒷면을 나타내는 도면이다.

<23> 도 4 및 도 5a를 참조하면, 반도체 웨이퍼(100)는 상부면(130), 하부면(135) 및 측면(120)으로 구성된다.

<24> 상기 상부면(130)에는 칩영역(110, chip region) 및 가장자리 영역(edge region)이 배치된다. 상기 칩 영역(110)은 반도체 제품이 제조되는 영역으로, 스크라이브 라인(scribe line)에 의해 한정된다. 상기 가장자리 영역은 상기 칩 영역(110)을 제외한 상기 반도체 웨이퍼(100)의 상부면(130) 전체이며, 상기 측면(120)에 접한다.

<25> 상기 측면(120)은 상기 상부면(130) 및 상기 하부면(135)과 수직하게 만나지 않고, 밖으로 볼록한 모양(outward convex shape)을 이루면서 만난다. 이에 따라, 상기 상부면(130)에 접하는지 또는 상기 하부면(135)에 접하는지에 따라, 상기 측면(120)은 상부 측면(122)과 하부 측면(124)으로 나눌 수 있다. 상기 상부 측면(122) 및 하부 측면(124)을 구분하는 경계는 상기 반도체 웨이퍼(100)의 폭이 가장 넓어지도록 정의하는 점들을 연결함으로써 얻어진다.

<26> 상기 상부 측면(122)은 상기 반도체 웨이퍼(100)의 원주(circumference) 전체에서 동일한 폭(L_1)으로 형성되는 것이 바람직하다. 한편, 상기 하부 측면(124)은 좁은 영역(150)과 넓은 영역(160)으로 구분될 수 있다. 상기 넓은 영역(160)은 그 폭(L_3)이 상기 좁은 영역(150)의 폭(L_2) 및 상기 상부 측면(122)의 폭(L_1)보다 넓은 영역이다.

<27> 상기 하부 측면(124)의 넓은 영역(160)에는 마킹 영역(200)이 배치된다. 상기 마킹 영역(200)은 상기 반도체 웨이퍼(100)를 식별하기 위한 식별 표시(300)가 기록되는 영역이다. 상기 식별 표시(300)를 상기 넓은 영역(160)에 형성함으로써, 도 3에서 설명한 불균일한 모양의 점들(30)에 의해 발생되는 파티클들이 상기 칩영역(110)으로 전사되는 문제를 최소화할 수 있다. 또한, 상기 마킹 영역(200)은 반도체 제품이 생산되는 상기 반도체 웨이퍼의 상부면(130)에 형성되지 않으므로, 상기 칩영역(110)을 효율적으로 사용하는 것이 가능하다.

<28> 상기 반도체 웨이퍼(100)를 고정하기 위해 진공 상태를 이용하는 진공 척킹(vacuum chucking)의 방법이 사용될 수 있다. 이러한 진공 척킹의 방법은 진공척(vacuum chuck)과 상기 반도체 웨이퍼(100) 사이의 밀착이 중요하다. 따라서, 상기 마킹 영역(200)을

상기 하부면(135)에 경사진 상기 하부 측면(124)에 형성함으로써, 상기 식별 표시(300)의 불균일한 모양에 따른 상기 반도체 웨이퍼(100)의 고정 불량을 최소화할 수 있다.

<29> 상술한 실시예와는 달리, 도 5b에 도시한 것처럼, 상기 하부 측면(124)은 상기 반도체 웨이퍼(100)의 원주 전체에서 동일한 폭(L_3')을 갖도록 형성될 수도 있다. 이 경우, 상기 하부 측면(124)은 원주 전체에 걸쳐 넓은 영역(160)을 형성한다. 상기 폭(L_3')은 상기 상부 측면(122)의 폭(L_1)보다 넓은 것이 바람직하며, 상기 마킹 영역(200)은 상기 하부 측면(124)에 배치된다.

<30> 상술한 실시예들에서 상기 마킹 영역(200)이 배치되는 상기 하부 측면(124)은 상기 상부 측면(122)보다 넓은 폭을 갖기 때문에, 상기 반도체 웨이퍼(100)의 측면 모양은 비대칭적일 수 있다. 즉, 상기 마킹 영역(200)을 따라 보여지는 상기 반도체 웨이퍼(100)의 단면은 도 6에서 도시된 것처럼, 상기 하부 측면(124)이 상기 상부 측면(122)보다 넓은 비대칭적인 모양을 갖는다. 또한, 상기 상부 측면(122)의 두께(h_1)는 상기 하부 측면(124)의 상기 넓은 영역(160)에서의 두께(h_2)보다 얇은 것이 바람직하다($h_1<h_2$).

<31> 상기 마킹 영역(200)에는 숫자 또는 문자 등의 기호가 각인된 식별 표시(300)가 형성된다. 상기 식별 표시(300)를 구성하는 기호들은 레이저를 사용하여 새겨진 복수개의 점들로 구성되는 것이 바람직하다. 또는, 도 8에 도시된 것처럼, 상기 식별 표시(300)는 정보를 포함하는 무늬, 예를 들면 바코드 등으로 이루어질 수도 있다.

<32> 한편, 도 5a 및 도 7에 도시한 것처럼, 상기 측면(120)의 단면 모양은 대칭적일 수도 있다. 즉, 상기 상부 측면(122) 및 상기 좁은 영역(150)은 폭 및 두께가 동일할 수도

있다(즉, $L_1=L_2$, $h_1'=h_2'$). 이처럼 대칭적인 단면의 측면(120)은 상기 좁은 영역(150)에 형성되는 것이 바람직하다.

【발명의 효과】

<33> 본 발명에 따르면, 반도체 웨이퍼의 하부 측면에는 상부 측면보다 넓은 폭을 갖는 넓은 영역이 배치되고, 상기 넓은 영역에는 식별 표시가 형성된다. 이에 따라, 반도체 웨이퍼의 상부면을 제품 생산에 효과적으로 이용할 수 있고, 상기 식별 영역의 불균일한 모양에 의해 발생되는 파티클 문제 및 고정 불량의 문제들을 최소화할 수 있다. 그 결과, 불량은 최소화하면서 더 많은 제품을 생산할 수 있어, 가격 경쟁력있는 반도체 제품을 생산할 수 있다.

【특허청구범위】

【청구항 1】

웨이퍼 식별 표시가 기록되는 마킹 영역을 구비하는 반도체 웨이퍼에 있어서,

상기 반도체 웨이퍼는 상부 측면 및 하부 측면을 구비하되, 상기 하부 측면에는 상기 상부 측면보다 넓은 폭을 갖는 넓은 영역이 배치되고 상기 마킹 영역은 상기 넓은 영역에 배치되는 것을 특징으로 하는 반도체 웨이퍼.

【청구항 2】

제 1 항에 있어서,

상기 반도체 웨이퍼의 단면은 비대칭적 모양인 것을 특징으로 하는 반도체 웨이퍼.

【청구항 3】

제 1 항에 있어서,

상기 하부 측면의 넓은 영역은 상기 상부 측면보다 폭이 넓은 것을 특징으로 하는 반도체 웨이퍼.

【청구항 4】

제 1 항에 있어서,

상기 상부 측면의 두께는 상기 넓은 영역에서의 상기 하부 측면의 두께보다 얇은 것을 특징으로 하는 반도체 웨이퍼.

【청구항 5】

제 1 항에 있어서,

상기 넓은 영역은 상기 반도체 웨이퍼의 원주 전체에 형성되는 것을 특징으로 하는 반도체 웨이퍼.

【청구항 6】

제 1 항에 있어서,

상기 웨이퍼 식별 표시는 레이저 빔을 사용하여 형성된 점들로 이루어지는 것을 특징으로 하는 반도체 웨이퍼.

【청구항 7】

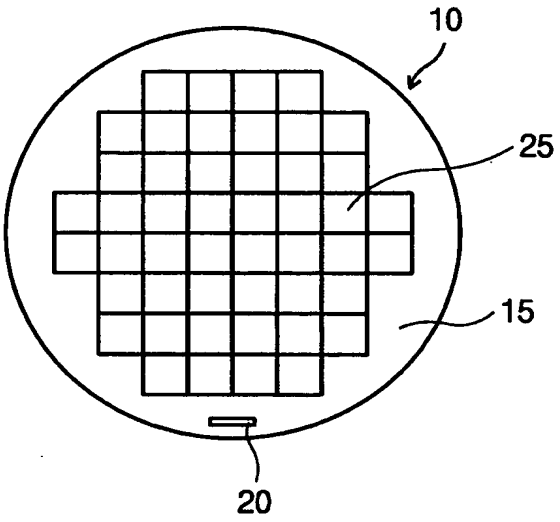
제 1 항에 있어서,

상기 웨이퍼 식별 표시는 정보를 포함하는 무늬로 이루어지는 것을 특징으로 하는 반도체 웨이퍼.

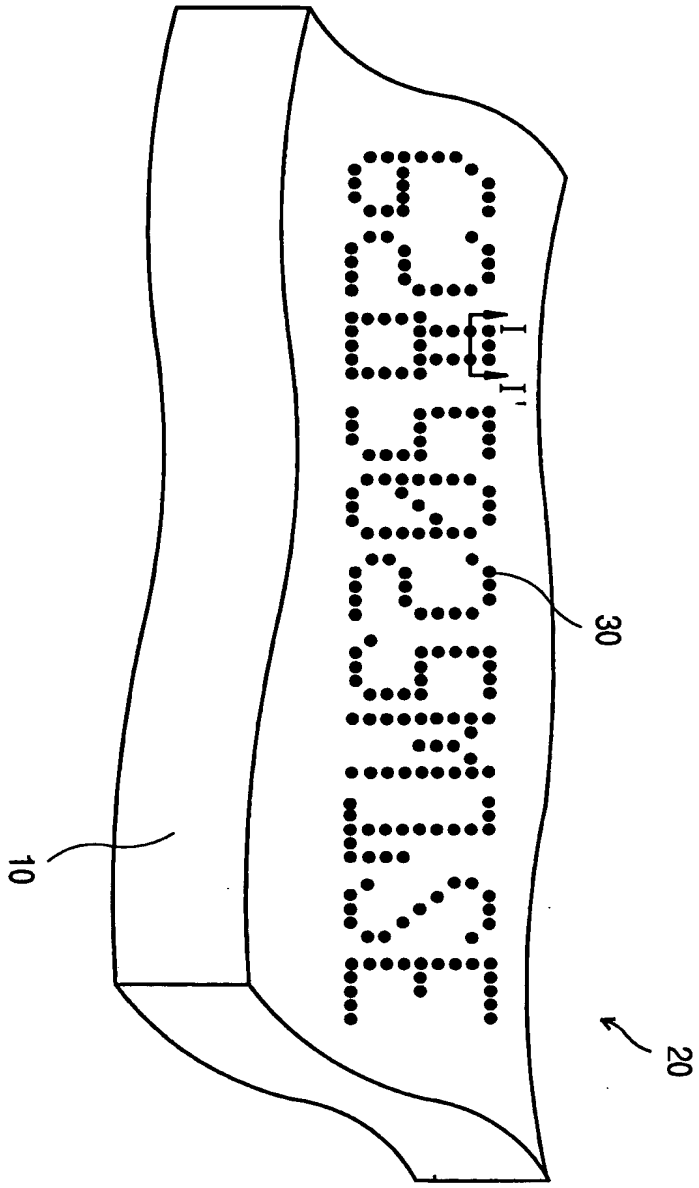
【도면】

【도 1】

(종래 기술)

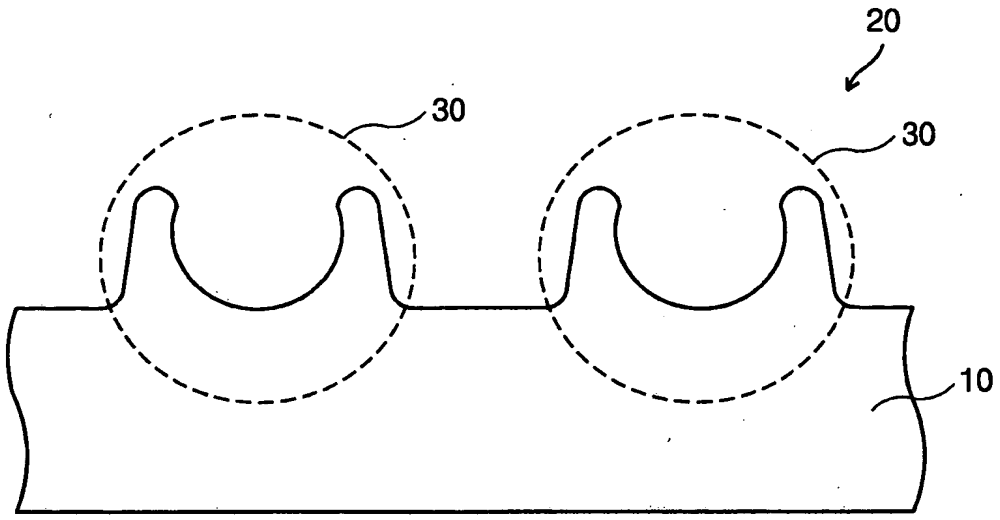


【도 2】

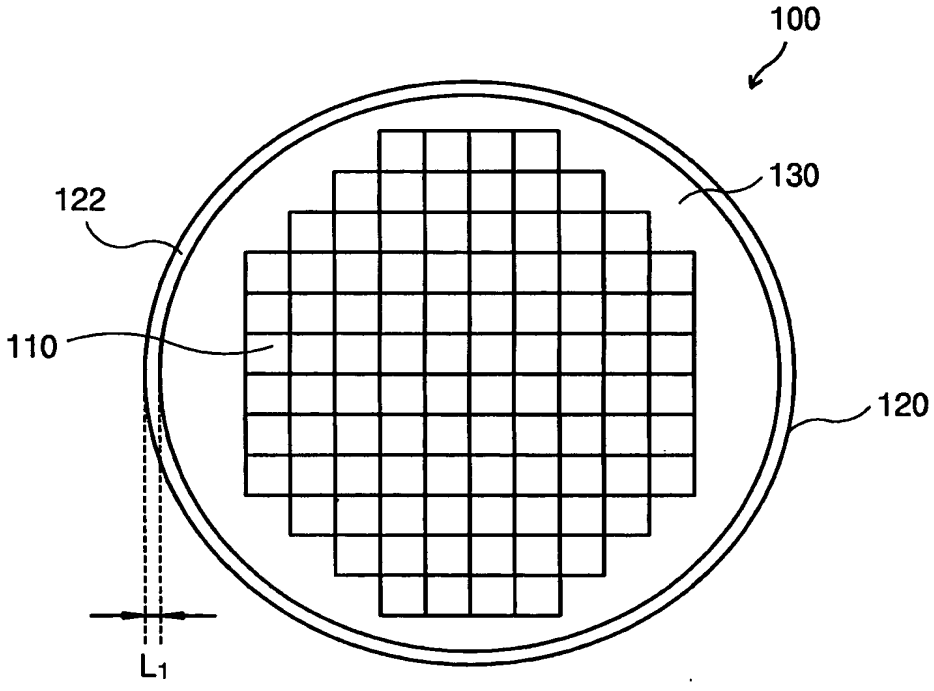


(종래 기술)

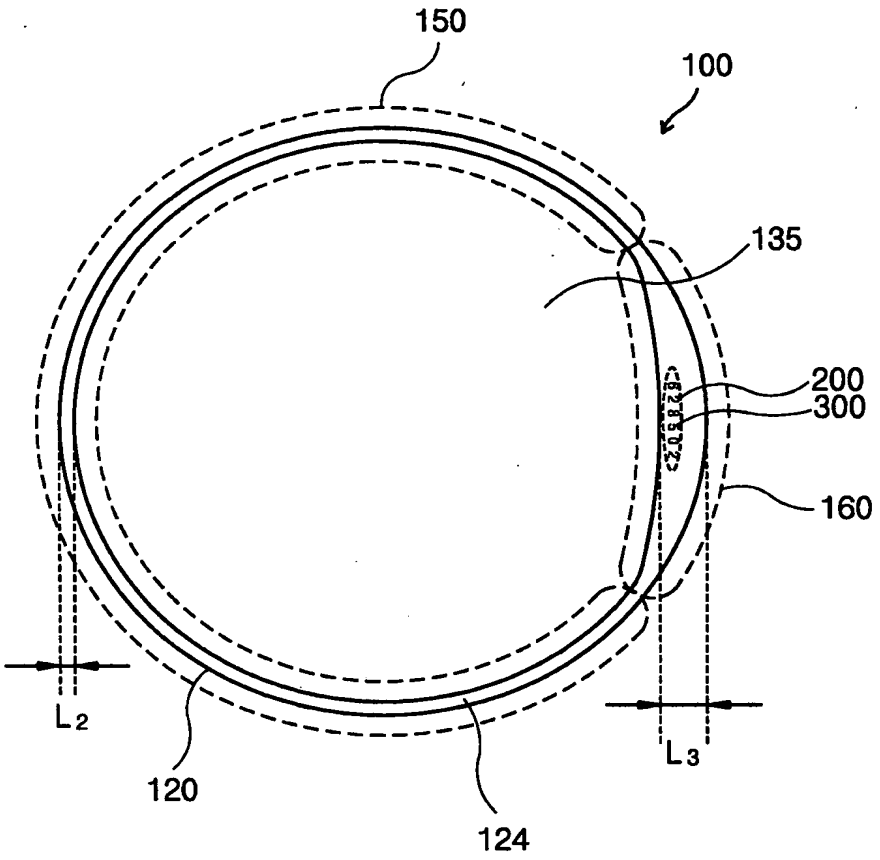
【도 3】



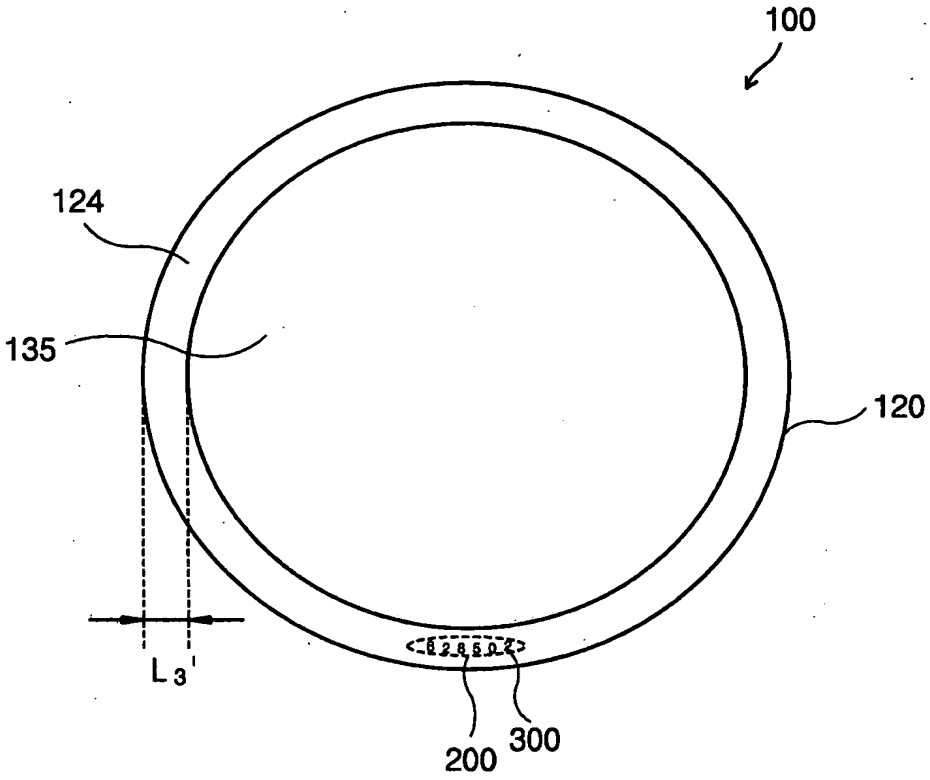
【도 4】



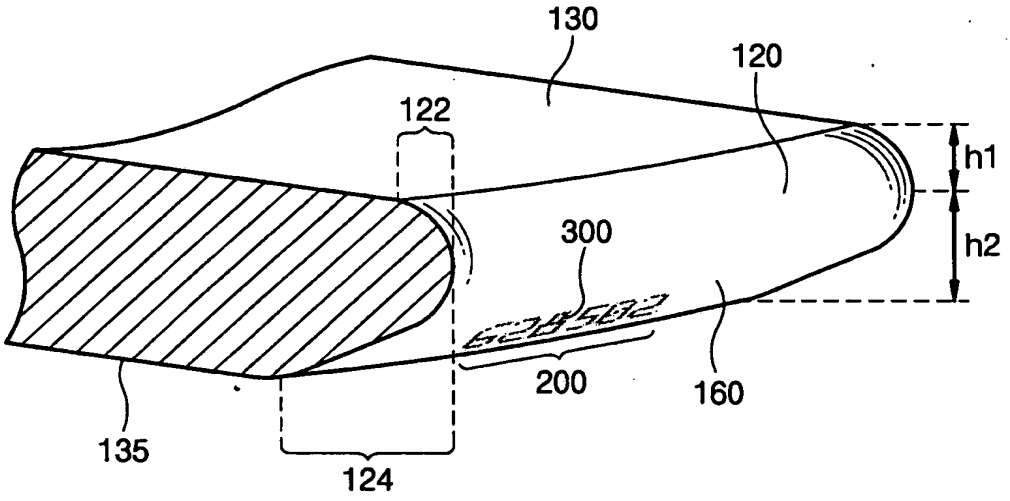
【도 5a】



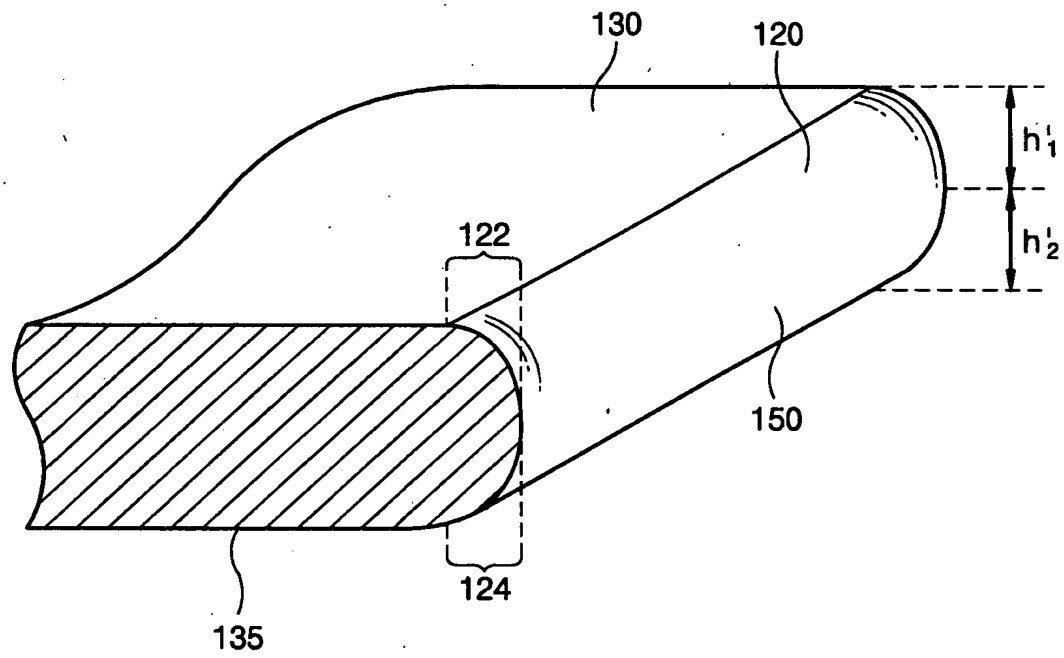
【도 5b】



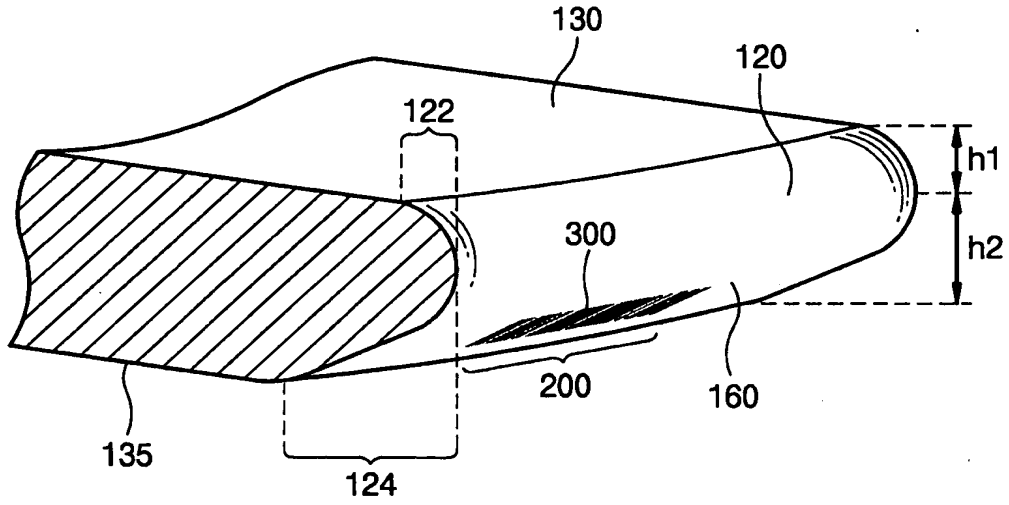
【도 6】



【도 7】


130
120
h'_1
h'_2
122
150
124
135

【도 8】


130
120
122
h1
h2
300
200
160
135
124